

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 56-051876

(43)Date of publication of application : 09.05.1981

(51)Int.Cl.

H01L 29/78

G11C 11/40

H01L 27/10

G11C 17/00

(21)Application number : 54-127788

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 03.10.1979

(72)Inventor : YOSHIKAWA KUNIYOSHI  
IWAHASHI HIROSHI  
ASANO MASAMICHI

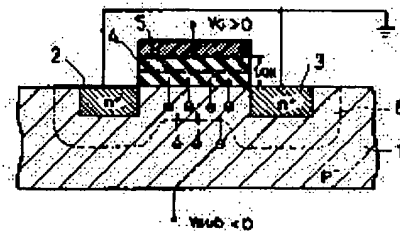
## (54) NONVOLATILE SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To permit high speed memory by setting negative electric potential to a substrate composing of memory at a lower value than a barrier level at the interface between the substrate and a gate insulating film wherein the storage of electrons at the trapping center in the gate insulating film is prevented.

CONSTITUTION: An n+ type source region 2 and an n+ type drain region 3 are formed by diffusion on a p type Si substrate 1. And an SiO<sub>2</sub> gate insulating film 4 having charge trapping center is formed on the substrate 1 exposed between the source region 2 and the drain region 3. A poly-crystalline Si gate electrode 5 is instilled on the SiO<sub>2</sub> gate insulating film 4 to form a floating gate-type nonvolatile memory. In this composition, negative electric potential to the substrate 1 is selected at a lower value than a barrier level at the interface between the substrate 1 and the film 4. Namely, when the electric potential to the electrode 5 is VG, electric potential shown in a formula [I] is given to the substrate 1. Where: q is the quantity of electricity, &phiv;so is a barrier level, tox is film 4 thickness. In this way, a threshold voltage will not fluctuate.

$$-1/q \left( \phi_{so} - 2.60 \times 10^{-4} (VG/t_{ox})^{1/2} - 1 \times 10^{-4} (VG/t_{ox})^{3/2} \right) \quad [I]$$



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56-51876

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 昭和56年(1981)5月9日

H 01 L 29/78

7514-5F

発明の数 1

G 11 C 11/40

1 0 1

7010-5B

審査請求 未請求

17/00

1 0 1

7210-5F

H 01 L 27/10

(全 4 頁)

⑮ 不揮発性半導体メモリ

⑯ 特 願 昭54-127788  
 ⑰ 出 願 昭54(1979)10月3日  
 ⑱ 発 明 者 吉川邦良  
 川崎市幸区小向東芝町1番地東  
 京芝浦電気株式会社トランジス  
 タ工場内  
 ⑲ 発 明 者 岩橋弘  
 川崎市幸区小向東芝町1番地東

京芝浦電気株式会社トランジス  
 タ工場内  
 ⑳ 発 明 者 浅野正通  
 川崎市幸区小向東芝町1番地東  
 京芝浦電気株式会社トランジス  
 タ工場内  
 ㉑ 出 願 人 東京芝浦電気株式会社  
 川崎市幸区堀川町72番地  
 ㉒ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

不揮発性半導体メモリ

2. 特許請求の範囲

- (1) 半導体基板にソース、ドレインを有すると共に、ソース、ドレイン間の基板上に電荷捕獲中心を持つゲート絶縁膜が形成された不揮発性半導体メモリにおいて、上記基板に、該基板中の電子が基板とゲート絶縁膜の障壁を越えないような負電位を与えて使用することを特徴とする不揮発性半導体メモリ。
- (2) 半導体基板に与える負電位を、基板とゲート絶縁膜の界面のバリエー単位を $\phi_{so}$ 、基板へのエネルギー単位を $qV_{sub}$ とした場合、 $qV_{sub} < \phi_{so}$ となるような値に設定することを特徴とする特許請求の範囲第1項記載の不揮発性半導体メモリ。
- (3) 半導体基板に与える負電位を、
$$-1/q(\phi_{so} - 2.59 \times 10^{-4} (VG/tox)^{1/2} - 1 \times 10^{-5} (VG/tox)^{3/2})$$

(但し、式中の $q$ は電気素量、 $\phi_{so}$ は基板とゲート絶縁膜の界面におけるバリエー単位、 $VG$ はゲート電位、 $tox$ はゲート絶縁膜の厚さを示す)にて求められる電位より絶対値で小なる値に設定することを特徴とする特許請求の範囲第1項記載の不揮発性半導体メモリ。

3. 発明の詳細な説明

本発明は不揮発性半導体メモリの改良に関する。

一般に半導体メモリでは基板をソース電位と同電位にして使用していたが、近年、基板に負電位を与えてメモリの動作改善がなされている。例えば、基板に負電位を与えることにより、ジャンクション容量の減少などによりメモリの高速動作を可能にし、かつダイナミックRAMのようにメモリセルの電荷保存時間の安定化等の効果がある。

このようなことから、本発明者は不揮発性半導体メモリの基板に負電位を与えて高速化を達成することを試みた。しかしながら、一般の

MOSトランジスタにおいて、ドレイン、ソースを0V、ゲートを正電位にした状態でシリコン基板をある程度以上負電位にすると、チャネル領域と基板による空乏層により電子が加速されゲート絶縁膜の障壁を越えるだけのエネルギーを持つことができ、電子(ホットエレクトロン)がゲート絶縁膜中に放出されることがT.H.Ningによつて報告されている。かかる現象はゲート絶縁膜中に電荷捕獲中心を持つ不揮発性半導体メモリにおいても同様に起こるが、特にこの現象は半導体メモリの動作上悪影響を及ぼす。すなわち、ゲート絶縁膜中に電子放出が起こると、該ゲート絶縁膜中の捕獲中心に電子が蓄積され、閾値電圧( $V_{th}$ )が変つてしまう。特に、不揮発性半導体メモリにおいては、捕獲中心に電子が注入されているか、否かによりその $V_{th}$ の違いから"0","1"の情報を判断しているため、上記の如く基板からゲート絶縁膜中への電子放出により $V_{th}$ が変ると、半導体メモリの情報が変化してしまふ。その結果、不揮発性

3

型不揮発性半導体メモリを想定する。このような構成の不揮発性半導体メモリのドレイン $\beta$ 、ソース $\alpha$ を0V、ゲート電極 $\delta$ の電位VGを正にした状態でシリコン基板1の電位 $V_{sub}$ を負にすると、第1図及び第2図のエネルギーバンド特性図に示すように空乏層 $\epsilon$ が拡がる。この時、第2図中の基板1と $SiO_2$ 膜4界面のバリエー  
<sup>エネルギー</sup>  
 単位 $\phi_{so}$ と基板1の単位 $qV_{sub}$ との関係にか  
 いて、 $qV_{sub} \geq \phi_{so}$ となれば、基板1中に存在する電子は基板1の $SiO_2$ 膜4の障壁を越え、 $SiO_2$ 膜4中の電荷捕獲中心のレベルに入り込み、 $V_{th}$ を変動させる。しかるに、基板電位 $V_{sub}$ を $\phi_{so}$ より少なくなるように与えれば基板1中に存在する電子は障壁を越えなくなる。そこで、基板1と $SiO_2$ 膜4のバリエー単位(障壁単位)はショットキー効果、及びトンネル効果を考慮すれば

$$\phi_{so} - \beta E_{ox}^{1/2} - \alpha E_{ox}^{2/3} \dots \dots (1)$$

の式で近似される。ここで $E_{ox}$ は $VG/tox$ (但し、 $tox$ は $SiO_2$ 膜の厚さ)に近似した値で示さ

半導体メモリの基板に負電位を単に与えることは、 $V_{th}$ の変動、ひいては情報取出しの誤動作の点で問題があつた。

そこで、本発明においては上記問題点に鑑み基板とゲート絶縁膜の界面のバリエー単位を $\phi_{so}$ 、基板へのエネルギー単位を $qV_{sub}$ とした場合、 $qV_{sub} \geq \phi_{so}$ となると、基板中に存在する電子は基板-ゲート絶縁膜の障壁を越え、不揮発性半導体メモリのゲート絶縁膜中の電荷捕獲中心のレベルに入り込みその $V_{th}$ の変動を起こすことに着目し、基板への負電位を略 $\phi_{so}$ より低い値に設定することによつて、電子放出によりゲート絶縁膜中の捕獲中心に電子が蓄積されるのを防ぎ、 $V_{th}$ の変動を起さずに高速化が可能な不揮発性半導体メモリを試作した。

すなわち、第1図に示すP<sup>-</sup>型シリコン基板1にn<sup>+</sup>型のソース $\alpha$ 、ドレイン $\beta$ を形成し、ソース $\alpha$ 、ドレイン $\beta$ 間の上に、厚さ $tox$ のフローティングゲートを有する $SiO_2$ 膜4を介してゲート電極 $\delta$ を形成したフローティングゲート

4

れ、 $\beta$ は $2.59 \times 10^{-4}$ 、 $\alpha$ は $1 \times 10^{-5}$ の定数である。しかして、上記(1)式は、

$$-1/q(\phi_{so} - 2.59 \times 10^{-4}(VG/tox)^{1/2} - 1 \times 10^{-5}(VG/tox)^{2/3}) \dots \dots (2)$$

で表わすことができる。したがつて、基板1に加わる電位 $V_{sub}$ を上記(2)から求められる値、  
 $-1/q(\phi_{so} - 2.59 \times 10^{-4}(VG/tox)^{1/2} - 1 \times 10^{-5}(VG/tox)^{2/3})$   
 より低くすると、基板1中の電子が基板1と $SiO_2$ 膜4の障壁を越えて捕獲中心に注入されることから、 $V_{sub}$ を上記(2)式で求められた値より0V側の負電位で加えることによつて、不揮発性半導体メモリの $SiO_2$ 膜4中の捕獲中心に電子が蓄積されるのを防ぎ、 $V_{th}$ の変動を起さずに高速化を達成できることを究明した。

すなわち、本発明は半導体基板にソース、ドレインを有すると共に、ソース、ドレイン間の基板上に電荷捕獲中心を持つゲート絶縁膜が形成された不揮発性半導体メモリにおいて、上記基板に  
 $-1/q(\phi_{so} - 2.59 \times 10^{-4}(VG/tox)^{1/2} - 1 \times 10^{-5}(VG/tox)^{2/3})$

5

6

(但し、式中の  $\phi_{so}$  は基板とゲート絶縁膜界面におけるバリアー準位、VG はゲート電位、 $t_{ox}$  はゲート絶縁膜の厚さ、q は電気素量を示す)にて求められる電位より絶対値で小なる負電位を与えて使用することを特徴とするものである。

次に、本発明の実施例を前述した第1図を参照して説明する。

#### 実施例

第1図に示すように、不純物濃度が  $7.5 \times 10^{14}$  個/cm<sup>3</sup> の P<sup>-</sup> 型シリコン基板1に突効チャネル長さが 3  $\mu$ m となるようにソース2、ドレイン3 (深さ 1.5  $\mu$ m) を形成し、かつ該シリコン基板1に電荷捕獲中心を持つゲート絶縁膜としての SiO<sub>2</sub> 膜4 ( $t_{ox} = 2000 \text{ \AA}$ )、多結晶シリコンからなるゲート電極5を設けてフローティングゲート型不揮発性半導体メモリを構成した。かかる半導体メモリにおいて、ゲート電極5への電位 VG を 5V に設定した状態で基板1に、 $\phi_{so} - 2.59 \times 10^{-4} (VG/t_{ox})^{1/2} - 1 \times 10^{-4} (VG/t_{ox})^{1/2} < V_{sub} < 0$  の電位を与えた。ここで  $\phi_{so}$  は Si 基

板と SiO<sub>2</sub> 界面のバリアー高さであり、約 3.1 eV の常数で表わされ、VG は 5V、 $t_{ox}$  は 2000  $\text{\AA}$  であることから、基板電位は  $-2.9 \text{ V} < V_{sub} < 0$  となった。

しかして、ゲート電極5への電位 (VG) を 5V に設定した状態で  $-2.9 \text{ V} < V_{sub} < 0 \text{ V}$  の範囲で基板1に負電位を与えて動作したところ、SiO<sub>2</sub> 膜4中の電荷捕獲中心に電子が蓄積されず、 $V_{th}$  の変動、ひいては情報取出しの誤動作を起こすことなく、基板に負電位を与えない従来の不揮発性半導体メモリに比して著しく高速化が可能であることがわかった。

なお、本発明に係る不揮発性半導体メモリは上記実施例の如きフローティングゲート型のものに限定されず、MNOSにも同様に適用できる。

以上詳述した如く、本発明によれば基板に上述した式から求められた所定の負電位を与えることによつて、情報の誤動作要因となる  $V_{th}$  の変動を招くことなくジャンクション容量の減少化等を達成でき、もつて高信頼性、高速動作化

が可能な不揮発性半導体メモリを提供できるものである。

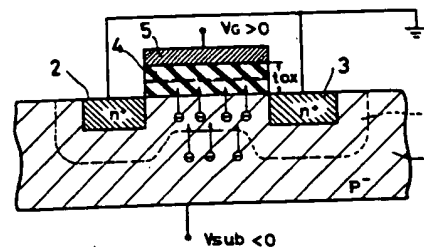
#### 4. 図面の簡単な説明

第1図はフローティングゲート型不揮発性半導体メモリの概略断面図、第2図は第1図のエネルギーバンドを示す特性図である。

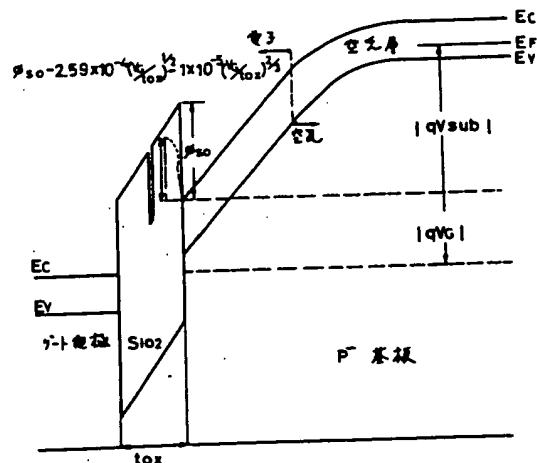
1 ... P<sup>-</sup>型シリコン基板、2 ... n<sup>+</sup>型ソース、3 ... n<sup>+</sup>型ドレイン、4 ... SiO<sub>2</sub> 膜 (ゲート絶縁膜)、5 ... ゲート電極、6 ... 空乏層。

出願人代理人 弁理士 鈴江 武彦

第1図



第2図



# 手続補正書

昭和 55. 1. 22 日

特開昭56- 51876 (4)

才 2 図

特許庁長官、 川 原 能 雄 殿

## 1. 事件の表示

特開昭 5 4 - 1 2 7 7 8 8 号

## 2. 発明の名称

不揮発性半導体メモリ

## 3. 補正をする者

事件との関係 特許出願人

(307) 東京芝浦電気株式会社

## 4. 代理人

住所 東京都港区虎ノ門1丁目26番5号 第17層ビル  
千105 電 話 03 (502) 3 1 8 1 (大代表)

氏名 (5847) 弁理士 鈴 江 武 彦 印武工

## 5. 目 発 補 正

## 6. 補正の対象

明細書

## 7. 補正の内容

図面の第 2 図を別紙の如く訂正する。

